МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

Курганский государственный университет

*Кафедра автоматизации производственных процессов*

**ПРОЕКТИРОВАНИЕ ЛОГИЧЕСКИХ УСТРОЙСТВ**

Методические указания к выполнению контрольной работы

по курсу «Спецглавы электроники»,

для студентов очной и заочной форм обучения

специальностей 15.03.04 – «Автоматизация технологических процессов и производств» и 27.03.04. "Управление в технических системах"

по курсу «Цифровая электроника»,

для студентов заочной форм обучения

специальностей 15.03.04 – «Автоматизация технологических процессов и производств» и 27.03.04. "Управление в технических системах"

Курган 2017

Кафедра автоматизации производственных процессов

Дисциплина: «Спецглавы электроники»

Составил: канд.техн.наук. Б.П. Кудряшов

Утверждено на заседании кафедры « 31 » августа 2017г.

Рекомендовано методическим советом университета « \_\_\_» \_\_\_\_\_\_\_\_\_ 2017г.

Содержание

Введение 4

Указания к выполнению первой части работы 4

Варианты заданий для выполнения первой части контрольной работы 9

Дополнительные варианты задания 10

Указания к выполнению второй части работы 12

Проектирование счетчиков по произвольному модулю 13

Варианты заданий ко второй части контрольной работы 15

Список рекомендуемой литературы 15

**Введение**

Целью выполнения контрольной работы является закрепление знаний, полученных на аудиторных занятиях путем самостоятельного выполнения задания по проектированию логических устройств.

В первой части работы студент должен спроектировать комбинационное логическое устройство в соответствии с указанным преподавателем вариантом. Во второй части требуется спроектировать последовательностное логическое устройство также в соответствии с заданным вариантом.

Комбинационными называются логические устройства, в которых в любой момент времени выходные переменные однозначно определяются состоянием входных переменных.

При проектирования комбинационных логических устройств необходимо выполнить и **отразить в работе** следующие действия:

1.Сформулировать задачу, затем ее формализовать.

2.С помощью карты Карно выполнить минимизацию логического выражения, реализующего поставленную задачу.

3.Выполнить моделирование работы схемы в программе MULTISIM или ELECTRONICS WORKBENCH (с целью устранения возможных ошибок).

4.Составить принципиальную электрическую схему устройства на заданной серии микросхем.

**Указания к выполнению первой части работы**

Вначале необходимо ввести буквенные обозначения входных переменных (это могут быть сигналы от датчиков, кнопок управления или выходной код какого-либо цифрового устройства). Затем, на основании анализа требуемых действий разрабатываемого устройства, задать значения выходных переменных (т.е. логических функций) при различных сочетаниях входных переменных. Составить таблицы истинности или внести значения функций в соответствующие клетки карт Карно для всех функций устройства. Если задано логическое выражение в виде ДНФ или КНФ данный пункт опускаем.

Если задана таблица истинности, можно записать СДНФ или СКНФ функции.

СДНФ представляет собой сумму элементарных произведений ( P-термов), в которые входят все входные переменные с инверсиями или без них. В эту сумму входят все элементарные произведения (наборы переменных), на которых функция принимает значение единицы, а переменная записывается без инверсии, если она равна единице и с инверсией, если она равна нулю. Например:

СДНФ функции может быть также записана с помощью номеров термов в сокращенном виде:

ТНБ - термы не доставляющие беспокойства, (номера наборов переменных), на которых неважно какое значение принимает функция и, таким образом, для них можно задать любое значение функции. В приведенной таблице истинности ТНБ это 6я и 10я строки.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **№** | **A** | **B** | **C** | **D** | **F** |
| **0** | **0** | **0** | **0** | **0** | **1** |
| **1** | **0** | **0** | **0** | **1** | **0** |
| **2** | **0** | **0** | **1** | **0** | **1** |
| **3** | **0** | **0** | **1** | **1** | **0** |
| **4** | **0** | **1** | **0** | **0** | **1** |
| **5** | **0** | **1** | **0** | **1** | **0** |
| **6** | **0** | **1** | **1** | **0** | **0/1** |
| **7** | **0** | **1** | **1** | **1** | **0** |
| **8** | **1** | **0** | **0** | **0** | **0** |
| **9** | **1** | **0** | **0** | **1** | **0** |
| **10** | **1** | **0** | **1** | **0** | **0/1** |
| **11** | **1** | **0** | **1** | **1** | **0** |
| **12** | **1** | **1** | **0** | **0** | **1** |
| **13** | **1** | **1** | **0** | **1** | **0** |
| **14** | **1** | **1** | **1** | **0** | **0** |
| **15** | **1** | **1** | **1** | **1** | **0** |

и карта Карно:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **CD**  **AB** | **00** | **01** | **11** | **10** |
| **00** | **1** |  |  | **1** |
| **01** | **1** |  |  | **0/1** |
| **11** | **1** |  |  |  |
| **10** |  |  |  | **0/1** |

СКНФ представляет собой произведение элементарных сумм (S-термов), в которые входят все входные переменные с инверсиями или без них. В эту сумму входят те элементарные суммы, на которых функция принимает значения нуля, а переменная записывается с инверсией, если она равна единице и без инверсии, если она равна нулю:

СКНФ функции также может быть записана с помощью номеров термов в сокращенном виде:

Записи СКНФ, приведенной выше будет соответствовать таблица истинности:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **№** | **A** | **B** | **C** | **D** | **F** |
| **0** | **0** | **0** | **0** | **0** | **1** |
| **1** | **0** | **0** | **0** | **1** | **0** |
| **2** | **0** | **0** | **1** | **0** | **1** |
| **3** | **0** | **0** | **1** | **1** | **0** |
| **4** | **0** | **1** | **0** | **0** | **1** |
| **5** | **0** | **1** | **0** | **1** | **0/1** |
| **6** | **0** | **1** | **1** | **0** | **0** |
| **7** | **0** | **1** | **1** | **1** | **0** |
| **8** | **1** | **0** | **0** | **0** | **1** |
| **9** | **1** | **0** | **0** | **1** | **1** |
| **10** | **1** | **0** | **1** | **0** | **1** |
| **11** | **1** | **0** | **1** | **1** | **0/1** |
| **12** | **1** | **1** | **0** | **0** | **1** |
| **13** | **1** | **1** | **0** | **1** | **1** |
| **14** | **1** | **1** | **1** | **0** | **1** |
| **15** | **1** | **1** | **1** | **1** | **0** |

и карта Карно:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **CD**  **AB** | **00** | **01** | **11** | **10** |
| **00** |  | **0** | **0** |  |
| **01** |  | **0/1** | **0** | **0** |
| **11** |  |  | **0** |  |
| **10** |  |  | **0/1** |  |

Минимизация логического выражения позволяет получить схемную конфигурацию устройства, отвечающую заданным условиям, но использующую меньшее количество логических элементов, чем их требуется для реализации устройства по исходному выражению.

Минимизацию логического выражения, описывающего работу устройства можно осуществить с помощью карты Карно:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **CD**  **AB** | **00** | **01** | **11** | **10** |
| **00** |  | **0** | **0** |  |
| **01** |  | **0/1** | **0** | **0** |
| **11** |  |  | **0** |  |
| **10** |  |  | **0/1** |  |

()

F= ().

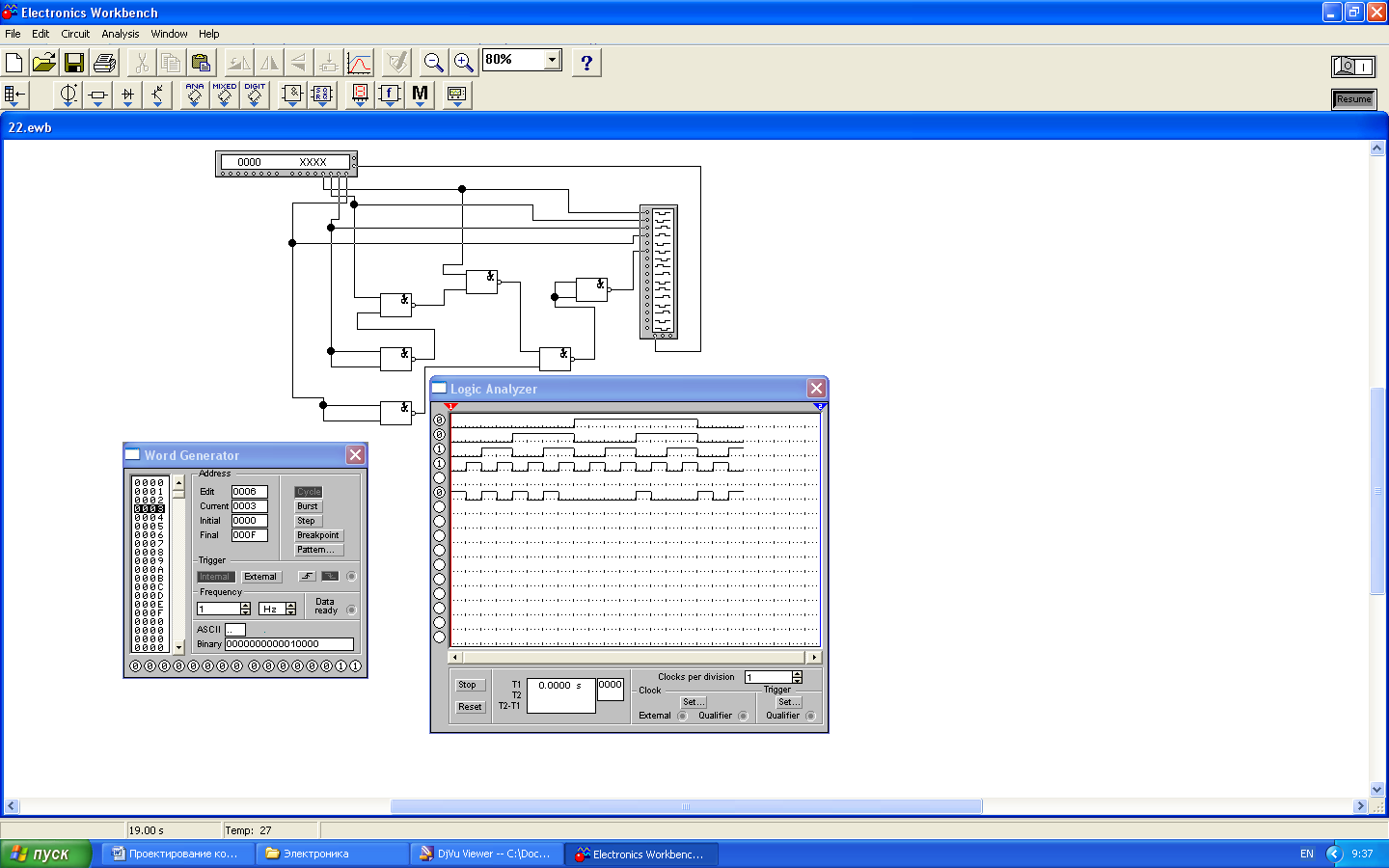
Основные правила применения карты Карно:

1. В контур можно объединять **только** единиц или нулей.
2. Переменная, изменяющая свое значение в контуре не влияет на функцию и не записывается в выражение для контура.
3. При объединении единиц выражение для контура записывается как произведение переменных не меняющих свое значение, причем переменная равная единице записывается без инверсии, а равная нулю с инверсией.
4. При объединении нулей выражение для контура записывается как сумма переменных не меняющих свое значение, причем переменная равная нулю записывается без инверсии, а равная единице с инверсией.
5. Функция записывается как сумма выражений для контуров (при объединении единиц) или как произведение выражений для контуров (при объединении нулей).

В программах **Electronics Workbench** и **Multisim** для минимизации логической функции можно воспользоваться логическим преобразователем (**Logic Converter**). Инверсия при записи функции показывается апострофом: **A’**.

В случае если задан тип логических элементов, из которых должна быть собрана схема, минимизированная функция должна быть преобразована к виду, содержащей только заданные логические элементы. Преобразование функции к содержащей только элементы 2И-НЕ или только элементы 2ИЛИ-НЕ можно выполнить используя теорему де Моргана (**, =**) и закон двойного отрицания (). Функцию можно привести к виду содержащей только элементы 2И-НЕ можно также с помощью **Logic Converter** в программах **Electronics Workbench** и **Multisim.**

Моделирование схемы выполнить в программе **Electronics Workbench** или **Multisim,** применяя идеальные логические элементы. Входные переменные необходимо задавать с помощью генератора слов **Word Generator**, а результат моделирования наблюдать с помощью логического анализатора **Logic Analizer.** В работе привести **Screenshot**, на котором должна быть видна схема, **Word Generator** и **Logic Analizer** как показано на рисунке ниже. На логическом анализаторе должна быть видна работа схемы во всей области таблицы истинности.



В работе необходимо привести схему электрическую принципиальную спроектированного устройства, выполненную с соблюдением требований ГОСТ. Пример на рисунке ниже.

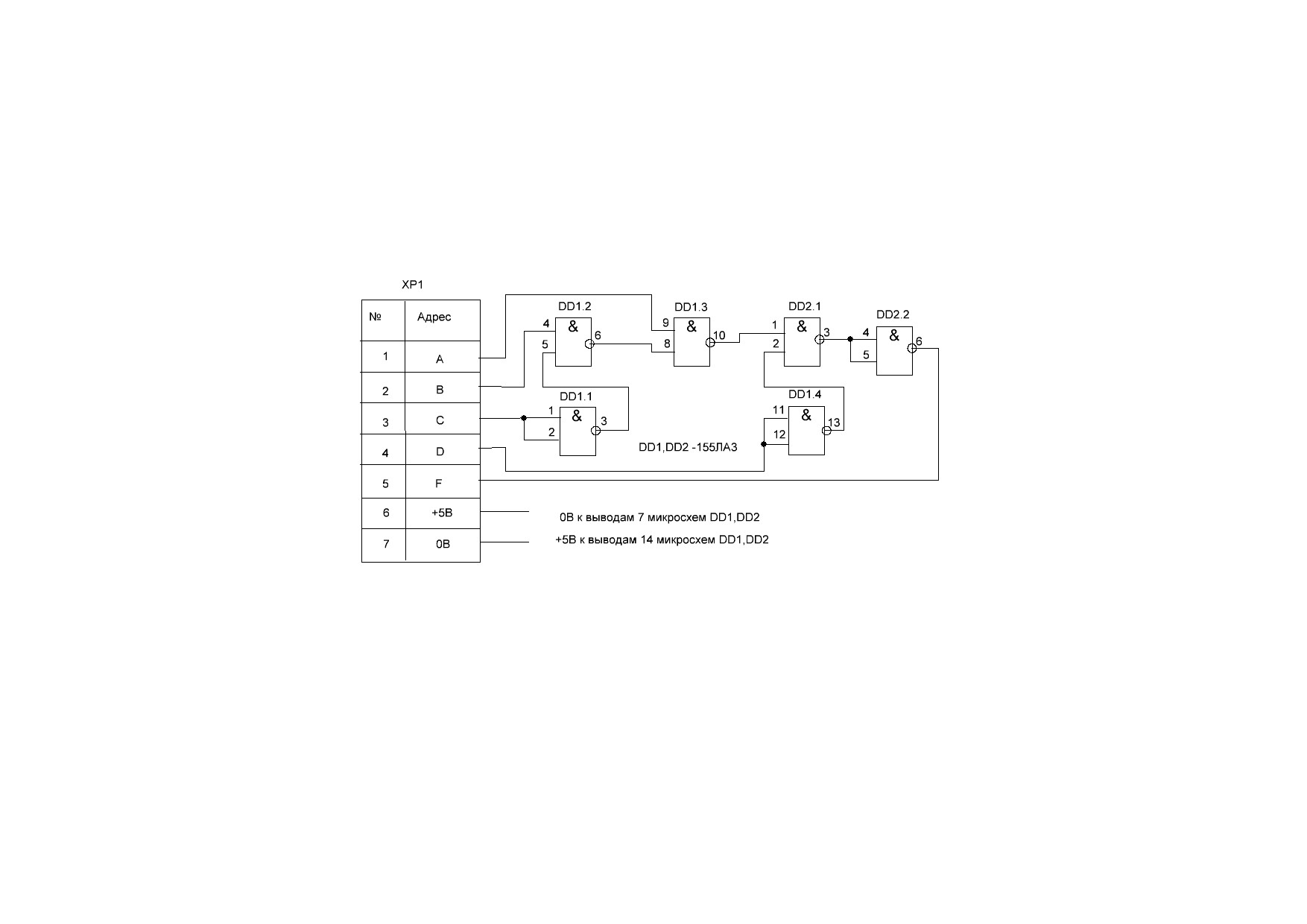


Схема электрическая принципиальная устройства.

**Варианты заданий для выполнения первой части контрольной работы**

Таблица 1. Варианты функций.

|  |  |
| --- | --- |
| **№ варианта** | **функция** |
| 1 | F(D,C,B,A) =∑ 0,2,8,15+ТНБ (3,6,10,13): |
| 2 | F(D,C,B,A) =П 0,6,8,14+ТНБ (4,2,13,15): |
| 3 | F(D,C,B,A) =∑ 5,7,13,14+ТНБ (6,12,15): |
| 4 | F(D,C,B,A) =П 0,1,3,9,11+ТНБ (2,5,15): |
| 5 | F(D,C,B,A) =∑ 4,6,7,15+ТНБ (3,5,11): |
| 6 | F(D,C,B,A) =П 1,3,5,9+ТНБ (7,11,13): |
| 7 | (D,C,B,A) F=∑ 0,1,6,14+ТНБ (2,8,10): |
| 8 | F(D,C,B,A) =П3,4,5,7,12,15+ТНБ (0,6,11,13): |

Реализовать заданную функцию на элементах:

Таблица 2. Варианты базиса.

|  |  |
| --- | --- |
| **№ варианта** | **Базис схемы** |
| 1 | 2-х входовые И-НЕ |
| 2 | 2-х входовые ИЛИ-НЕ |
| 3 | НЕ, И, ИЛИ |

Варианты заданий распределяются преподавателем.

**Указания к выполнению второй части работы**

Во второй части работы необходимо спроектировать последовательностную схему, использующую триггеры.

В последовательностных схемах выходные переменные определяются не только состоянием входных переменных в данный момент времени, но и состоянием выходных переменных в предыдущий момент времени, что предполагает использование элементов памяти, в качестве которых используют триггеры. Следовательно, при анализе работы схемы или при ее проектировании необходимо учитывать особенности работы триггеров.

В данной части работы необходимо спроектировать счетчик на триггерах типа JK или D, поэтому, рассмотрим как работают эти триггеры. Данные триггеры динамические и они меняют свое состояние после прохождения импульса синхронизации на входе С, причем в нашем случае JK-триггер переключается по отрицательному перепаду уровня на входе С, а D-триггер- по положительному.



JK-триггер D-триггер

Сокращенная таблица переходов для JK-триггера:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Вход С | Q до перепада  n-такт | Q после перепада  (n+1)-такт | J | K |
|  | 0 | 0 | 0 | 0/1 |
|  | 0 | 1 | 1 | 0/1 |
|  | 1 | 0 | 0/1 | 1 |
|  | 1 | 1 | 0/1 | 0 |

Для D-триггера справедливо выражение = то есть:

|  |  |  |  |
| --- | --- | --- | --- |
| Вход С | D до перепада  n-такт | Q до перепада  n-такт | Q после перепада  (n+1)-такт |
|  | 0 | 0/1 | 0 |
|  | 1 | 0/1 | 1 |

**Проектирование счетчиков по произвольному модулю**

При построении синхронного счетчика по произвольному модулю применяют следующую методику, позволяющую достаточно просто построить такой счетчик.

Первым шагом строится диаграмма состояний счетчика, на которой отмечается последовательность выбранных состояний. Так если взять модуль счетчика, например 5, то потребуется 3 триггера, а это всего =8 состояний. Выберем последовательность состояний 43210, тогда диаграмма будет иметь вид:

Q2Q1Q0

000

010

001

011

100

101

110

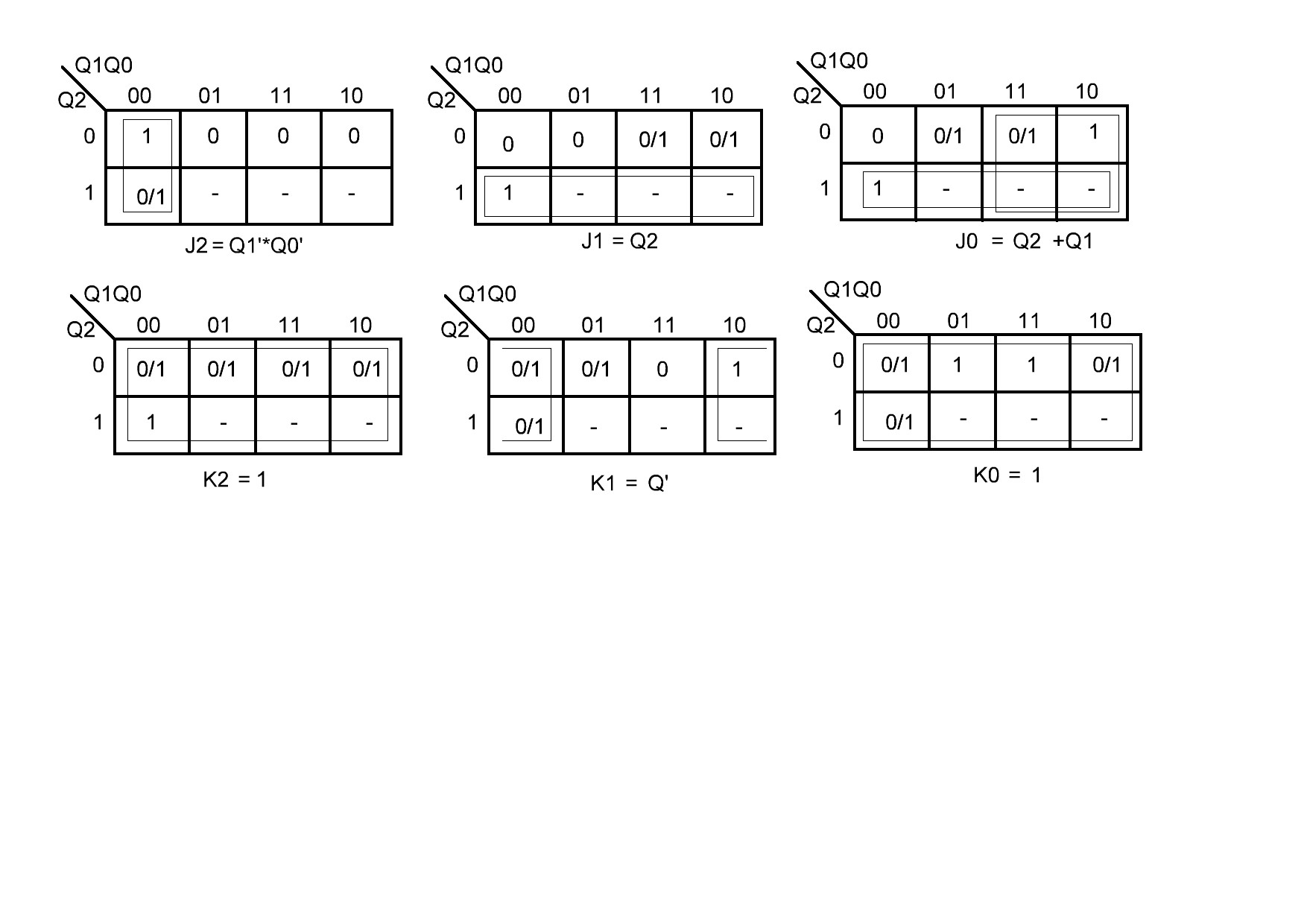
111

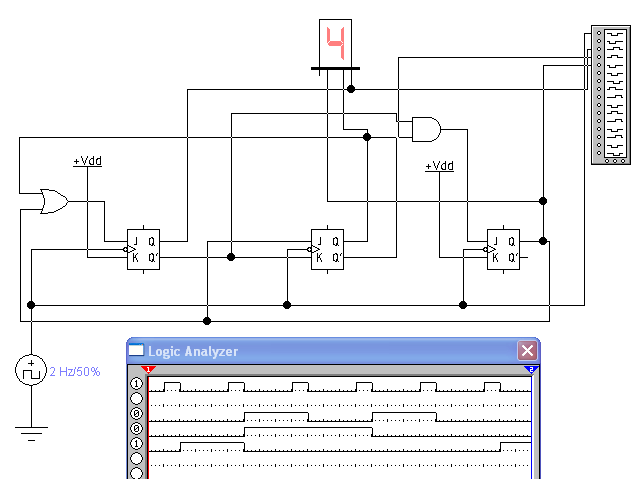
Состояния 111, 110, 101 не входят в цикл.

Следующий этап составление таблицы переходов счетчика на основании диаграммы состоянии и таблицы переходов JK-триггера.

Таблица переходов счетчика

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| В такте n  Q2 Q1 Q0 | | | В такте n+1  Q2 Q1 Q0 | | | J2K2 | | J1K1 | | J0K0 | |
| 1 | 0 | 0 | 0 | 1 | 1 | 0/1 | 1 | 1 | 0/1 | 1 | 0/1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0/1 | 0/1 | 0 | 0/1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0/1 | 0/1 | 1 | 1 | 0/1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0/1 | 0 | 0/1 | 0/1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0/1 | 0 | 0/1 | 0 | 0/1 |

Далее по таблице переходов счетчика заполняются карты Карно для всех входных сигналов триггеров, при этом входными переменными считаются Q2Q1Q0.  Находятся выражения для входов триггеров и собирается схема в симуляторе. Проверяется работоспособность схемы, если есть необходимость вносятся, исправления. Схема копируется с помощью команды **Copy as Bitmap** и вставляется в отчет (обязательно **с Logic Analizer,** на котором должен быть виден весь цикл работы счетчика**).** Пример ниже.

****

**Варианты заданий ко второй части контрольной работы**

(Реализовать счетчик по модулю 5 с заданной последовательностью состояний)

Таблица 4 варианты заданий

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **№ варианта** | **последовательность** | **№ варианта** | **последовательность** | **№ варианта** | **последовательность** | **№ варианта** | **последовательность** | **№ варианта** | **последовательность** |
| **1** | **01324** | **7** | **02143** | **13** | **13204** | **19** | **24031** | **25** | **31420** |
| **2** | **40132** | **8** | **30214** | **14** | **41320** | **20** | **12403** | **26** | **03142** |
| **3** | **20134** | **9** | **12430** | **15** | **13240** | **21** | **20314** | **27** | **23140** |
| **4** | **01342** | **10** | **01243** | **16** | **01324** | **22** | **42031** | **28** | **31402** |
| **5** | **02134** | **11** | **13402** | **17** | **24013** | **23** | **20341** | **29** | **32104** |
| **6** | **40212** | **12** | **31240** | **18** | **32401** | **24** | **12034** | **30** | **32410** |

Контрольную работу оформить на листах формата А4 в соответствии с требованиями ГОСТ 7.1.

**СПИСОК РЕКОМЕНДУЕМОЙ ЛИТЕРАТУРЫ**

1. Прянишников В.А.Электроника : полный курс лекций / В. А. Прянишников. 4-е изд. - СПб.: КОРОНА принт, 2004. - 327, с.: ил.

2. Титце У., Шенк К., Полупроводниковая схемотехника: Справочное руководство. М., ДМК Пресс, 2008.-том1.- 828 с. .: ил

3. Бабич Н.П., Жуков И.А. Основы цифровой схемотехники. – М.: Изд-во Додэка XXI; МК-Пресс, 2007

4. Мышляева И.М. Цифровая схемотехника. – М.:Изд-во Центр «Академия», 2005

5. Голдсуорт Б. Проектирование цифровых логических устройств / Пер. с англ. М.В. Сергиевского; Под. ред. Ю.И. Топчеева. – М.: Машиностроение, 1985

Кудряшов Борис Петрович

**ПРОЕКТИРОВАНИЕ ЛОГИЧЕСКИХ УСТРОЙСТВ**

Методические указания к выполнению контрольной работы

по курсу «Спецглавы электроники»,

для студентов заочной форм обучения

специальностей 15.03.04 – «Автоматизация технологических процессов и производств» и 27.03.04. "Управление в технических системах"

по курсу «Цифровая электроника»,

для студентов заочной форм обучения

специальностей 15.03.04 – «Автоматизация технологических процессов и производств» и 27.03.04. "Управление в технических системах"

Авторская редакция

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Подписано к печати Формат 60х84 1/16 Бумага тип. № 1

Печать трафаретная Усл. печ. л. 2,0 Уч. изд. л. 1,0

Заказ Тираж Цена свободная

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Библиотечно-издательский центр КГУ.

640020, г. Курган, ул. Советская, 63, строение 4.

Курганский государственный университет.

Группы 30317с и 30417с.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| № | Фамилия И О | Вариант табл1 | Вариант табл2 | Вариант табл4 |
| 1 | Апретов П В | 1 | 1 | 1 |
| 2 | Гайдамака А С | 2 | 1 | 2 |
| 3 | Гизатуллин Р Р | 3 | 1 | 3 |
| 4 | Голубев М Н | 4 | 1 | 4 |
| 5 | Григорьева М А | 5 | 1 | 5 |
| 6 | Егоров Е А | 6 | 1 | 6 |
| 7 | Захаров Е С | 7 | 1 | 7 |
| 8 | Потаскуев Н А | 8 | 1 | 8 |
| 9 | Сергеев С С | 1 | 2 | 9 |
| 10 | Сударев А С | 2 | 2 | 10 |
| 11 | Толочко В Н | 3 | 2 | 11 |
| 12 | Трефилов Д Е | 4 | 2 | 12 |
| 13 | Шумаков А С | 5 | 2 | 13 |
| 14 | Бастрон Г В | 6 | 2 | 14 |
| 15 | Глазунов А Н | 7 | 2 | 15 |
| 16 | Горобец И М | 8 | 2 | 16 |
| 17 | Коростелев Д И | 1 | 3 | 17 |
| 18 | Мешалкин С К | 2 | 3 | 18 |
| 19 | Мясников В С | 3 | 3 | 19 |
| 20 | Подолянко И Е | 4 | 3 | 20 |
| 21 | Свежанинов А Б | 5 | 3 | 21 |
| 22 | Севостьянов Д А | 6 | 3 | 22 |
| 23 | Силантьев А А | 7 | 3 | 23 |
| 24 | Янсапов Р Р | 8 | 3 | 24 |