

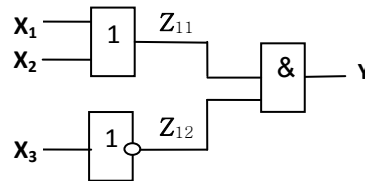
## Лабораторная работа 7

**Тема:** Структурные схемы микропроцессорных устройств, таблица соответствия: понятие, её построение по имеющейся схеме устройства

**Задание 1:** Получить таблицу соответствия/истинности по заданной структурной схеме микропроцессорного устройства.

### Пример решения задачи № 1

Исходная принципиальная схема микропроцессорного устройства представлена на рис. 1. Требуется сформировать таблицу истинности, описывающую процесс его функционирования.



**Рис. 1.** Схема микропроцессорного устройства для примера № 1

### Этапы решения задачи

1. Анализ состава и структуры входных, выходных и промежуточных сигналов. Схема на рис. 2.1 содержит логический элемент «ИЛИ» ( $x_1 \vee x_2$ ), логический элемент «НЕ» ( $\overline{x_3}$ ), выходные сигналы которых поступают на вход логического элемента «И» ( $x_1 \wedge x_2$ ), результатом работы (функционирования) которых является выходной сигнал  $y$ .

2. Построение логической зависимости  $y = f(x_1, x_2, x_3)$ .

3. Построение пустой традиционной таблицы истинности, размерность которой определяется количеством выделенных входных и выходных сигналов, а затем - пустой расширенной таблицы, размерность которой определяется количеством сечений и промежуточных переменных в них.

4. Заполнение указанной расширенной таблицы истинности по сечениям путем последовательного анализа результатов воздействия входных сигналов на рассматриваемое логическое устройство с последующим получением значений выходной величины для всех комбинаций входных (табл. 1).

**Таблица 1**

№ комбинации входных сигналов	Входы			Промежуточные сигналы		Выходы
	$x_1$	$x_2$	$x_3$	Сечение 1		
				$x_1 \wedge x_2$	$\overline{x_3}$	$Z_{11} \vee Z_{12}$
						$y$
1	0	0	0	0	1	0
2	0	0	1	0	0	0
3	0	1	0	1	1	1
4	0	1	1	0	0	0

5	1	0	0	1	1	1
6	1	0	1	1	0	0
7	1	1	0	1	1	1
8	1	1	1	1	0	0

5. По результатам заполнения расширенной таблицы истинности путем исключения из нее столбцов, соответствующих промежуточным сигналам, и ячеек, содержащих знаки логических операций, получаем итоговую таблицу истинности, описывающую процесс функционирования МП устройства, представленного на рис. 1, в виде табл. 2.

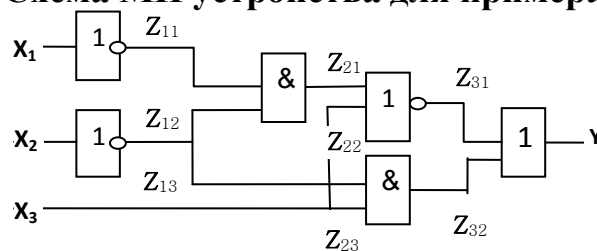
**Таблица 2**

№ комбинации входов	Входы			Выходы у
	$x_1$	$x_2$	$x_3$	
1	0	0	0	0
2	0	0	1	0
3	0	1	0	1
4	0	1	1	0
5	1	0	0	1
6	1	0	1	0
7	1	1	0	1
8	1	1	1	0

### Пример решения задачи № 2

Исходная принципиальная схема микропроцессорного устройства представлена на рис. 2. Требуется сформировать таблицу истинности, описывающую процесс его функционирования, с использованием технологии ее многослойной поэтапной разработки.

#### Схема МП устройства для примера 2



**Рис. 2.** Схема микропроцессорного устройства

Технология предполагает при наличии одного и более промежуточных сечений построение расширенной таблицы истинности с помощью промежуточных таблиц и итоговой (табл. 3 - 6). Первая – на основе комбинации входных сигналов и результатов анализа структуры первого слоя, вторая на основе первой промежуточной таблицы и результатов анализа структуры второго слоя и так далее до последнего. Содержание последней промежуточной таблицы и выходных операций позволяет получить значения элементов

выходной функции. Итоговая таблица истинности формируется аналогично заданию № 1.

Таблица 3

Бланк таблицы для примера № 2

№	Вход			Промежуточные сигналы по сечениям $z_{ij}$							Выход	
	$x_1$	$x_2$	$x_3$	Сечение 1			Сечение 2			Сечение 3		
				$\overline{x_1}$	$\overline{x_2}$	$x_3$	$z_{11} \wedge z_{12}$	$z_{12}$	$z_{13}$	$\overline{z_{21} \vee z_{22}}$		$z_{22} \wedge z_{23}$
$z_{11}$	$z_{12}$	$z_{13}$	$z_{21}$	$z_{22}$	$z_{23}$	$z_{31}$	$z_{32}$	$y$				
1												
...												
8												

Таблица 4

Заполнение сечения 1

№	Вход			Промежуточные сигналы по сечениям $z_{ij}$							Выход	
	$x_1$	$x_2$	$x_3$	Сечение 1			Сечение 2			Сечение 3		
				$\overline{x_1}$	$\overline{x_2}$	$x_3$	$z_{11} \wedge z_{12}$	$z_{12}$	$z_{13}$	$\overline{z_{21} \vee z_{22}}$		$z_{22} \wedge z_{23}$
$z_{11}$	$z_{12}$	$z_{13}$	$z_{21}$	$z_{22}$	$z_{23}$	$z_{31}$	$z_{32}$	$y$				
1	0	0	0	1	1	0						
2	0	0	1	1	1	1						
3	0	1	0	1	0	0						
4	0	1	1	1	0	1						
5	1	0	0	0	1	0						
6	1	0	1	0	1	1						
7	1	1	0	0	0	0						
8	1	1	1	0	0	1						

Таблица 5

Заполнение сечения 2

№	Вход			Промежуточные сигналы по сечениям $z_{ij}$							Выход	
	$x_1$	$x_2$	$x_3$	Сечение 1			Сечение 2			Сечение 3		
				$\overline{x_1}$	$\overline{x_2}$	$x_3$	$z_{11} \wedge z_{12}$	$z_{12}$	$z_{13}$	$\overline{z_{21} \vee z_{22}}$		$z_{22} \wedge z_{23}$
$z_{11}$	$z_{12}$	$z_{13}$	$z_{21}$	$z_{22}$	$z_{23}$	$z_{31}$	$z_{32}$	$y$				
1	0	0	0	1	1	0	1	1	0			
2	0	0	1	1	1	1	1	1	1			
3	0	1	0	1	0	0	0	0	0			
4	0	1	1	1	0	1	0	0	1			
5	1	0	0	0	1	0	0	1	0			
6	1	0	1	0	1	1	0	1	1			
7	1	1	0	0	0	0	0	0	0			
8	1	1	1	0	0	1	0	0	1			

Таблица 6

Заполнение сечения 3 и выходного столбца

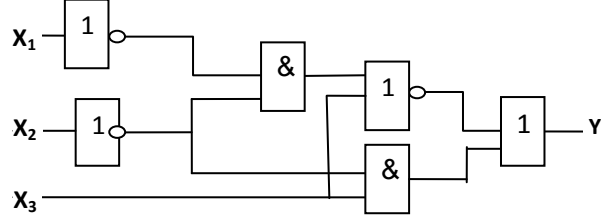
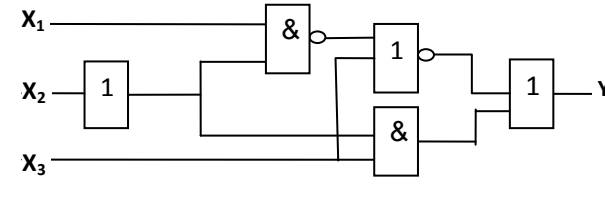
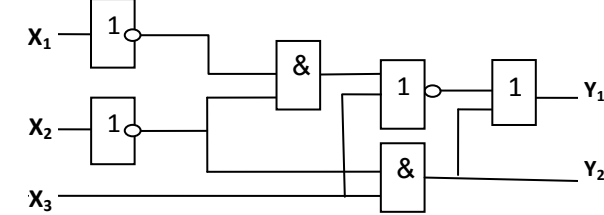
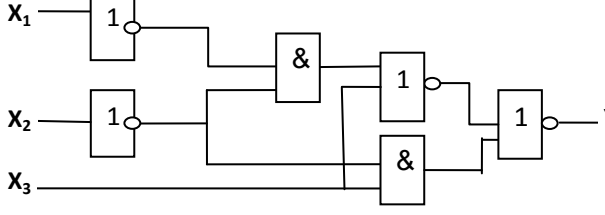
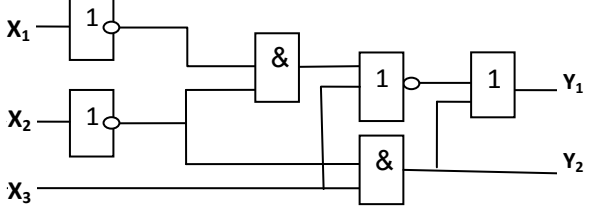
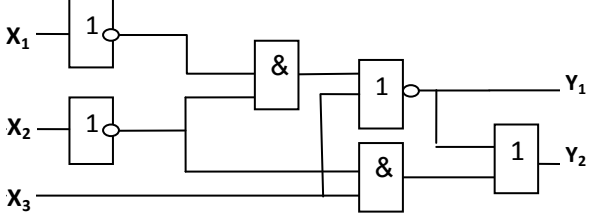
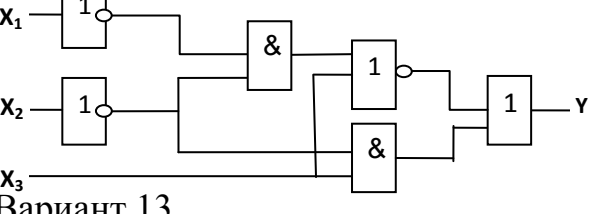
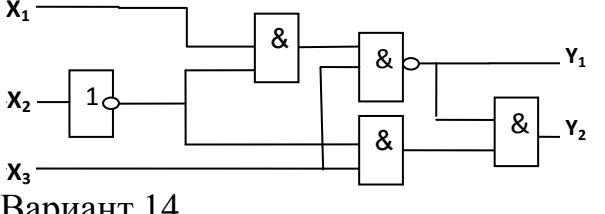
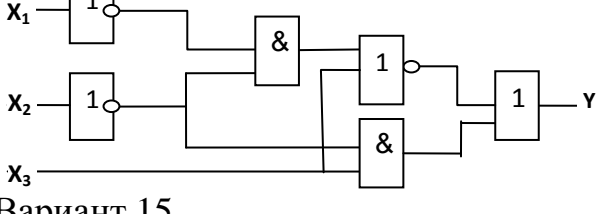
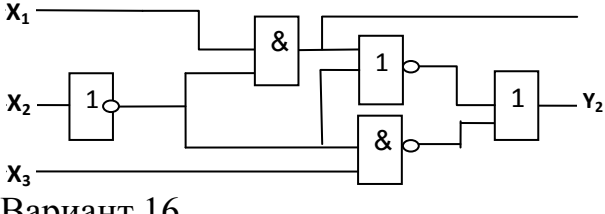
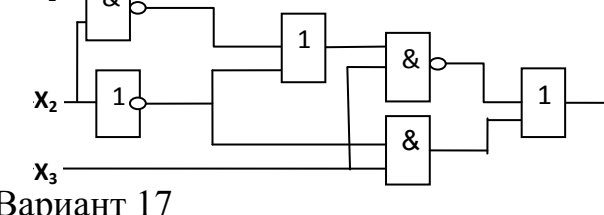
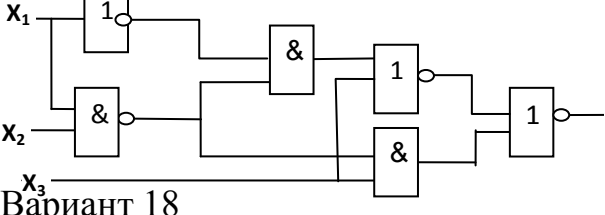
№	Вход			Промежуточные сигналы по сечениям $z_{ij}$								Выход	
	$x_1$	$x_2$	$x_3$	Сечение 1			Сечение 2			Сечение 3			
				$\overline{x_1}$	$\overline{x_2}$	$x_3$	$z_{11} \wedge z_{12}$	$z_{12}$	$z_{13}$	$\overline{z_{21} \vee z_{22}}$	$z_{22} \wedge z_{23}$		$z_{31} \vee z_{32}$
				$z_{11}$	$z_{12}$	$z_{13}$	$z_{21}$	$z_{22}$	$z_{23}$	$z_{31}$	$z_{32}$		$y$
1	0	0	0	1	1	0	1	1	0	0	0	0	
2	0	0	1	1	1	1	1	1	1	0	1	1	
3	0	1	0	1	0	0	0	0	0	1	0	1	
4	0	1	1	1	0	1	0	0	1	1	0	1	
5	1	0	0	0	1	0	0	1	0	0	0	0	
6	1	0	1	0	1	1	0	1	1	0	1	1	
7	1	1	0	0	0	0	0	0	0	1	0	1	
8	1	1	1	0	0	1	0	0	1	1	0	1	

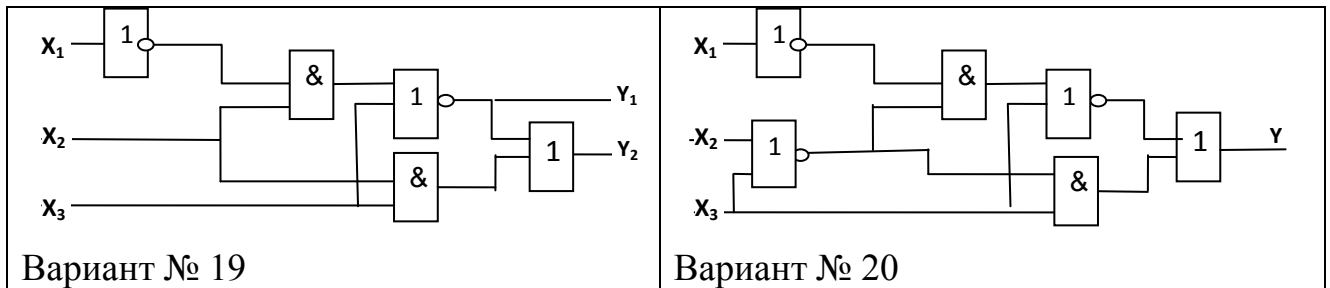
Варианты заданий представлены в табл. 7.

Таблица 7

Варианты заданий

<p>Вариант № 1</p>	<p>Вариант № 2</p>
<p>Вариант № 3</p>	<p>Вариант № 4</p>
<p>Вариант № 5</p>	<p>Вариант № 6</p>

 <p>Вариант № 7</p>	 <p>Вариант № 8</p>
 <p>Вариант № 9</p>	 <p>Вариант №10</p>
 <p>Вариант № 11</p>	 <p>Вариант № 12</p>
 <p>Вариант 13</p>	 <p>Вариант 14</p>
 <p>Вариант 15</p>	 <p>Вариант 16</p>
 <p>Вариант 17</p>	 <p>Вариант 18</p>



**Тема.** Построение микропроцессорного устройства по описывающей процесс его функционирования заданной многомерной логической математической модели

**Задание 2.** Получить таблицу соответствия/истинности и структурную схему микропроцессорного устройства по заданной математической модели.

**Пример решения задачи**

Математическая многомерная логическая модель, которую необходимо реализовать с помощью микропроцессорного устройства, имеет вид

$$y_1 = \overline{x_1} \cdot x_2 + x_3 \cdot \overline{x_4}$$

$$y_2 = \overline{x_1} \oplus x_2 + \overline{x_2} \cdot x_3$$

$$y_3 = \overline{x_2} \cdot x_3 + \overline{x_2} \cdot x_4$$

Структура этой системы уравнений позволяет говорить о том, что в ней имеются 4 входа:  $x_1, x_2, x_3, x_4$  и 3 выхода  $y_1, y_2, y_3$ . На этом основании, а также по результатам анализа модели формируется таблица соответствия вида

Сигналы № комбинаций	Входы				Выходы		
	$X_1$	$X_2$	$X_3$	$X_4$	$Y_1$	$Y_2$	$Y_3$
1	0	0	0	0	0	1	1
2	0	0	0	1	0	1	1
3	0	0	1	0	1	1	1
4	0	0	1	1	0	1	1
5	0	1	0	0	0	0	1
6	0	1	0	1	0	0	0
7	0	1	1	0	1	0	1
8	0	1	1	1	0	0	0
9	1	0	0	0	0	0	1
10	1	0	0	1	0	0	1
11	1	0	1	0	1	1	1
12	1	0	1	1	0	1	1
13	1	1	0	0	1	1	1
14	1	1	0	1	1	1	0
15	1	1	1	0	1	1	1
16	1	1	1	1	1	1	0

Далее на основании полученной таблицы соответствия синтезируем структурную схему микропроцессорного устройства, реализующего алгоритм, формализуемый с помощью заданной математической модели.

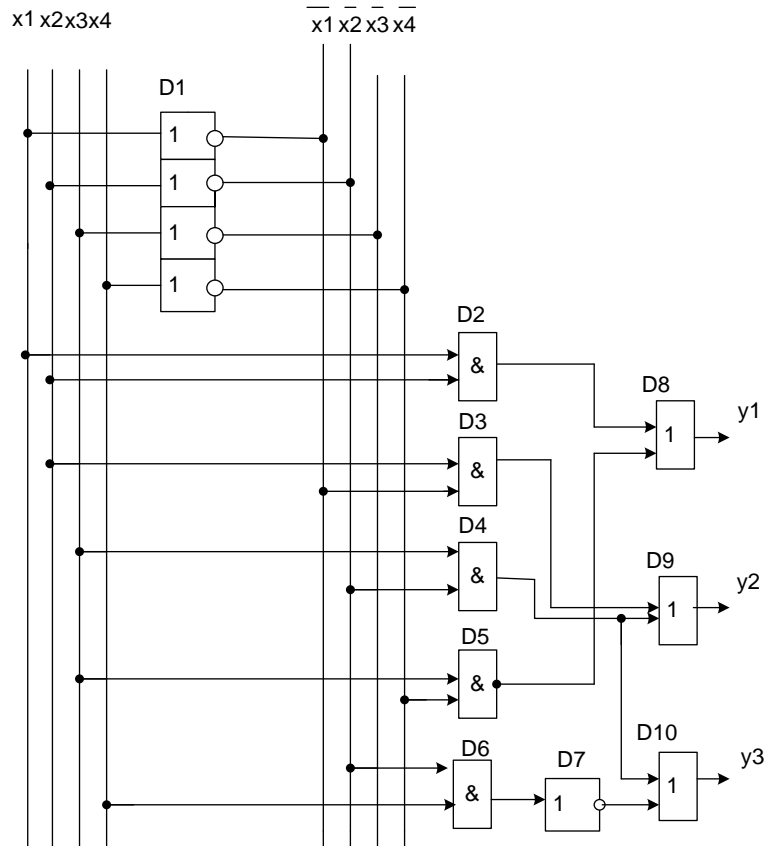


Рис. 3. Структурная схема разработанного микропроцессорного устройства

### Варианты заданий

$y_1 = x_1 + x_4 + x_3 \cdot \overline{x_4}$ $y_2 = \overline{x_1} \oplus x_2 + \overline{x_2} \cdot x_3$ $y_3 = \overline{x_2} \cdot x_3 + x_2 \cdot x_4$ <p style="text-align: center;"><b>Вариант 1</b></p>	$y_1 = x_1 \cdot x_2 + x_3 \cdot \overline{x_4}$ $y_2 = \overline{x_1} \oplus x_2 + \overline{x_2} \cdot x_3$ $y_3 = \overline{x_1} \cdot x_3 + x_2 \cdot x_4$ <p style="text-align: center;"><b>Вариант 11</b></p>
$y_1 = x_1 \cdot x_3 + x_3 \cdot \overline{x_4}$ $y_2 = \overline{x_1} \oplus x_2 + \overline{x_2} \cdot x_3$ $y_3 = \overline{x_2} + x_3 + \overline{x_2} \cdot x_4$ <p style="text-align: center;"><b>Вариант 2</b></p>	$y_1 = x_1 \cdot x_2 + x_3 \cdot \overline{x_4}$ $y_2 = \overline{x_1} \oplus x_2 + \overline{x_2} \cdot x_3$ $y_3 = \overline{x_1} + x_4 + \overline{x_2} \cdot x_4$ <p style="text-align: center;"><b>Вариант 12</b></p>
$y_1 = x_1 \cdot x_2 + x_3 \cdot \overline{x_4}$ $y_2 = \overline{x_1} \oplus x_3 + \overline{x_2} \cdot x_3$ $y_3 = \overline{x_2} \cdot x_3 + x_2 + x_4$ <p style="text-align: center;"><b>Вариант 3</b></p>	$y_1 = x_1 \cdot x_2 + x_3 \cdot \overline{x_4}$ $y_2 = \overline{x_1} \oplus x_2 + \overline{x_2} \cdot x_3$ $y_3 = \overline{x_1} \cdot x_2 + \overline{x_2} \cdot x_4$ <p style="text-align: center;"><b>Вариант 13</b></p>

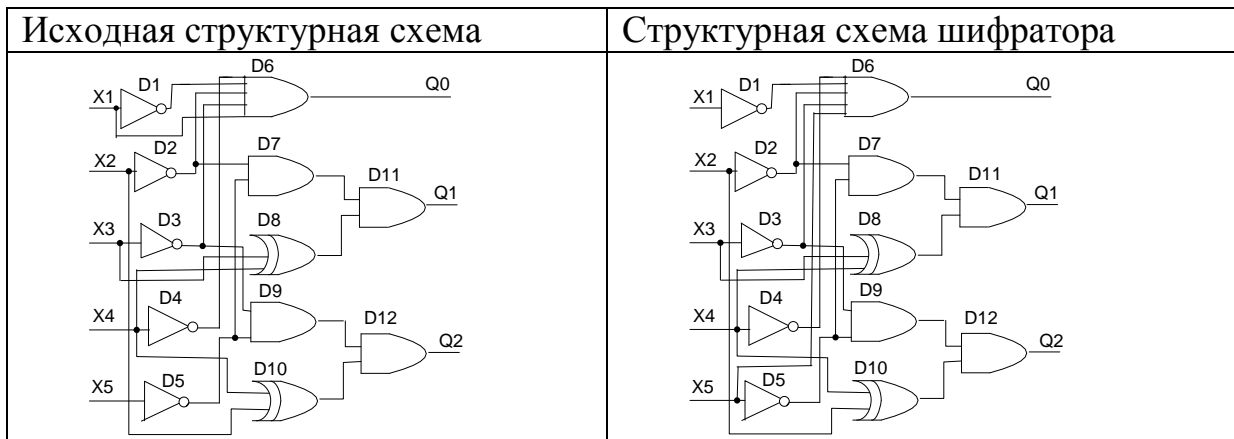




**Тема: Шифраторы и дешифраторы как элементы микропроцессорного устройства**

**Задание 3.** В заданной структурной схеме микропроцессорного устройства необходимо сделать исправления таким образом, чтобы оно реализовывало функцию шифратора, имеющего 5 входов и 3 выхода. Составить аналитические зависимости, описывающие процесс функционирования исходной и полученной структурных схем.

**Пример решения задачи из задания 3**



- Ответ:** - отсутствует связь X5/D6;  
 - присутствует ненужная связь вида X1/D6.

Аналитические зависимости имеют следующий вид

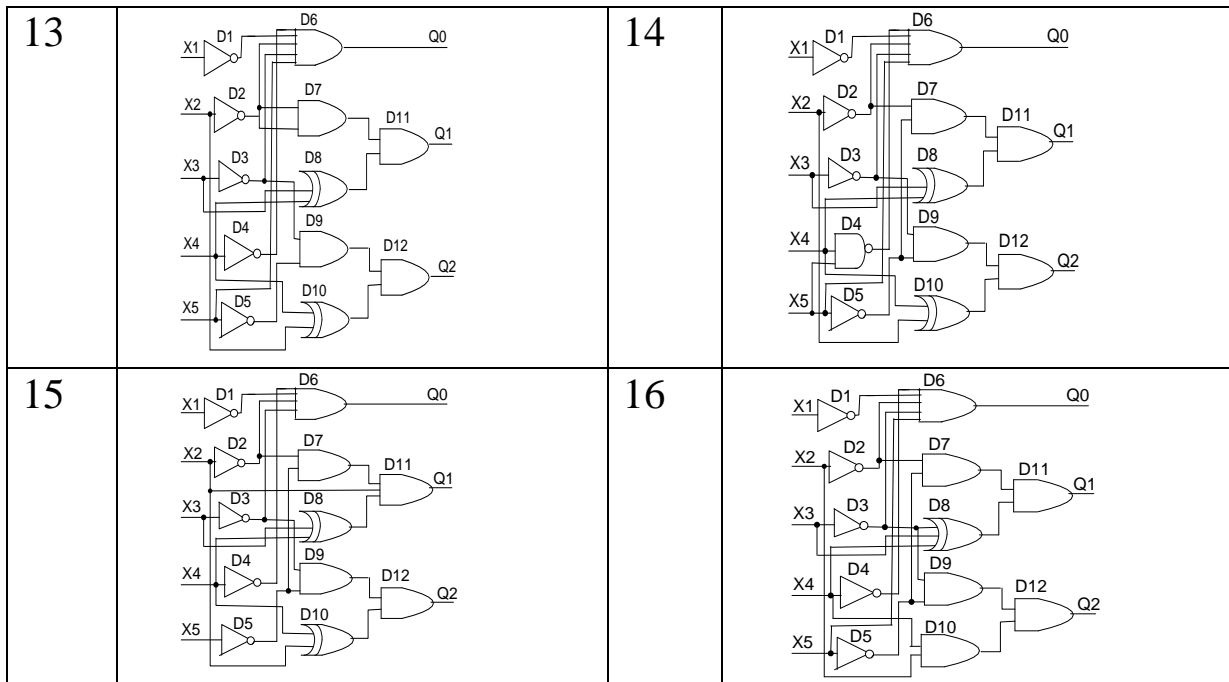
Зависимость для исходной структуры	Зависимость для шифратора
$Q0 = \overline{x1} \times \overline{x2} \times \overline{x3} \times \overline{x4} \times x1$ $Q1 = \overline{x2} \times \overline{x5} \times (x3 \oplus x4)$ $Q2 = \overline{x3} \times \overline{x5} \times (x2 \oplus x4)$	$Q0 = \overline{x1} \times \overline{x2} \times \overline{x3} \times \overline{x4} \times x5$ $Q1 = \overline{x1} \times \overline{x2} \times \overline{x5} \times (x3 \oplus x4)$ $Q2 = \overline{x1} \times \overline{x3} \times \overline{x5} \times (x2 \oplus x4)$

**Варианты задач к заданию 3**

**Таблица 8**

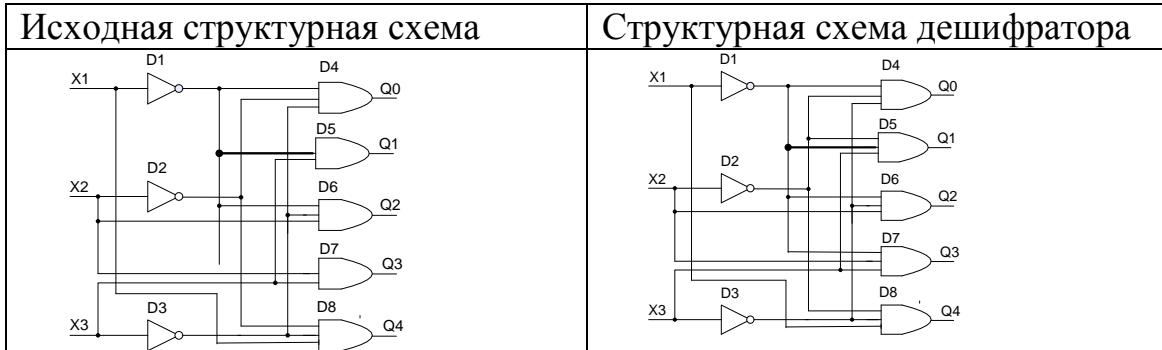
Вар.	Исходная структурная схема	Вар.	Исходная структурная схема
1		2	

3		4	
5		6	
7		8	
9		10	
11		12	



**Задание 4.** В заданной структурной схеме микропроцессорного устройства необходимо сделать исправления таким образом, чтобы оно реализовывало функцию дешифратора, имеющего 3 входа и 5 выходов. Составить аналитические зависимости, описывающие процесс функционирования исходной и полученной структурных схем.

#### Пример решения задачи к заданию 4



**Ответ:** Отсутствуют связи между D1 и D7, D2 и D5.

Аналитические зависимости имеют следующий вид

Зависимость для исходной структуры	Зависимость для дешифратора
$Q0 = \overline{x1} \times \overline{x2} \times \overline{x3}$	$Q0 = \overline{x1} \times \overline{x2} \times \overline{x3}$
$Q1 = \overline{x1} \times x3$	$Q1 = \overline{x1} \times \overline{x2} \times x3$
$Q2 = \overline{x1} \times x2 \times \overline{x3}$	$Q2 = \overline{x1} \times x2 \times \overline{x3}$
$Q3 = x2 \times x3$	$Q3 = \overline{x1} \times x2 \times x3$
$Q4 = x1 \times \overline{x2} \times \overline{x3}$	$Q4 = x1 \times \overline{x2} \times \overline{x3}$

Варианты задач к заданию 4

Таблица 9

Вар.	Исходная структурная схема	Вар.	Исходная структурная схема
1		2	
3		4	
5		6	
7		8	
9		10	

